

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-193162

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
23/50	R		H 0 1 L 23/12	L

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平5-330641

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 角谷 彰郎

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 安生 一郎

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 有田 順一

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 秋田 収喜

最終頁に続く

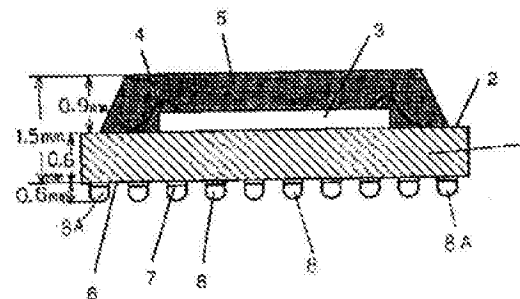
(54) 【発明の名称】 ボールグリッドアレイ半導体装置及びその実装基板

(57) 【要約】

【目的】 パッケージの反りが生じていても電気的接続不良のないBGA半導体装置、BGA半導体装置用実装基板及び実装方法を提供する。

【構成】 回路配線を有する基板1上に半導体チップ3が搭載され、該半導体チップ3の電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップ、及び電気接続部が樹脂5で封止され、前記基板1の前記半導体チップが搭載された面と反対側の面に複数のはんだパンプ6が設けられているBGA半導体装置であって、前記基板の中央部が前記半導体チップ3を搭載した面2と反対側の面6方向に凸に反っているものである。

図 1



【特許請求の範囲】

【請求項1】 回路配線を有する基板上に半導体チップが搭載され、該半導体チップの電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップ及び電気接続部が樹脂で封止され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだバンプが設けられているボールグリッドアレイ半導体装置であって、前記封止樹脂の熱膨張係数が、前記基板の熱膨張係数よりも小さいことを特徴とするボールグリッドアレイ半導体装置。

【請求項2】 請求項1に記載のボールグリッドアレイ半導体装置の最外周のはんだバンプが、封止樹脂の端面より外側にあることを特徴とするボールグリッドアレイ半導体装置。

【請求項3】 回路配線を有する基板上に半導体チップが搭載され、該半導体チップの電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップ及び電気接続部が樹脂で封止され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだバンプが設けられているボールグリッドアレイ半導体装置であって、該半導体装置の反り量に応じて前記電極の前記はんだバンプとの接触面積の大きさを変えたことを特徴とするボールグリッドアレイ半導体装置。

【請求項4】 基板の半導体チップを搭載した面と反対側の面に複数のはんだバンプが設けられたボールグリッドアレイ半導体装置が実装される前記はんだバンプに対応した複数の電極を有する実装基板であって、前記実装基板の電極の前記はんだバンプとの接触面積は、前記ボールグリッドアレイ半導体装置を当該実装基板に搭載し、はんだをリフローした時に生じる前記はんだバンプと前記電極の間の隙間に応じた面積の大きさになっていることを特徴とする実装基板。

【請求項5】 基板の半導体チップを搭載した面と反対側の面に複数のはんだバンプが設けられたボールグリッドアレイ半導体装置を実装基板に実装し、前記はんだをリフローした時に、前記ボールグリッドアレイ半導体装置の基板の中央部が前記半導体チップを搭載した面と反対側の面方向に凸に反らせて前記実装基板の電極と前記はんだバンプとを電気的に接続することを特徴とする実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、実装性に優れたボールグリッドアレイ（以下、BGAと称する）半導体装置及びそれを搭載する実装基板に関し、特に、回路配線を有する基板上に半導体チップが搭載され、該半導体チップの電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップ部が樹脂で封止され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだバンプが設けられているボールグリッドアレイ半導体

装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年の半導体装置の高機能化に伴い、面付実装型パッケージの外部リードの数は増大する傾向にある。これらの半導体装置の代表例がQFP（Quad Flat Package）である。QFPは半導体装置の側面に外部リードを設けているため、外部リードの間隔を狭くしたとしても、外部リードの数の増大によりパッケージサイズは大型化の傾向にある。これに対して、近年、開発された面付実装型パッケージがBGA半導体装置である。このBGA半導体装置は、図14に示すように、回路配線を有する基板1の片面の面2に半導体チップを搭載し、基板1と半導体チップを金ワイヤー等で電気的に接続し、基板1の半導体チップを搭載した面2を封止樹脂5で封止している。また、基板1の半導体チップを搭載した面の反対側の面6に、半導体チップと電気的に接続した複数の電極7を形成し、電極7上にはんだバンプ8を設けて外部電極としている。このはんだバンプ8は、面6上にアレイ状に配置されているため、QFPと比較するとより多くの外部電極が設けられ、また、同じ外部電極数なら、QFPよりもパッケージサイズが小さくできるという特徴を有する。このBGA半導体装置を、実装基板9上に位置決めして搭載し、実装基板9とパッケージを加熱することによりはんだバンプ8をリフローし、実装基板9上の電極10と接続する。

【0003】前記BGA半導体装置に関する技術については、米国特許第5,241,133号明細書(Aug. 31, 1993)に記載されている。

【0004】

【発明が解決しようとする課題】本発明者は、前記従来技術を検討した結果、以下の問題点を見出した。

【0005】すなわち、図14に示すように、BGA半導体装置は基板1の片面を樹脂封止する構造であるため、内部の半導体チップ、基板1及び封止樹脂5のそれぞれの熱膨張係数の違いによりBGA半導体装置のパッケージが反ることがある。このときBGA半導体装置を実装基板9に搭載すると、図14に示すように、実装基板9上の電極10とはんだバンプ8の間に隙間11が生じるため、はんだバンプをリフローしても電極10とはんだバンプ8が接続されない問題が生じる。

【0006】特に、熱膨張係数が大きい封止樹脂5を使用した場合、はんだリフロー温度まで加熱したときには基板1の上面の封止樹脂5が大きく膨張し、パッケージの反りは上に凸になる。このとき、パッケージの側面に近いはんだバンプ8は接続されているが、パッケージの中央部に近いはんだバンプ8は接続されない。さらに、BGA半導体装置は外部端子であるはんだバンプ8がパッケージの下側にあるため、実装基板9とパッケージの接続点パッケージの下に隠れてしまい、接続の外観検査が実装上不可能である。そのため、パッケージの反り

によるはんだバンプ8の接続不良が生じたとしても、実装終了後、電気的な検査を行うまで発見することができないという問題があった。

【0007】本発明の目的は、パッケージの反りが生じて電気的に接続のない実装が可能なBGA半導体装置を提供することにある。

【0008】本発明の他の目的は、パッケージの反りが生じて電気的に接続された実装が可能なBGA半導体装置用実装基板を提供することにある。

【0009】本発明の他の目的は、BGA半導体装置の実装歩留の向上をはかることが可能な技術を提供することにある。

【0010】本発明の他の目的は、BGA半導体装置の実装外観検査が可能な技術を提供することにある。

【0011】本発明の前記ならびにその他の目的及び新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0013】すなわち、(1)回路配線を有する基板上に半導体チップが搭載され、該半導体チップの電極と前記回路配線とを電気的に接続し、少なくとも前記半導体チップ及び電気接続部が樹脂で封止され、前記基板の前記半導体チップが搭載された面と反対側の面に複数のはんだバンプが設けられているBGA半導体装置であって、前記封止樹脂の熱膨張係数が、前記基板の熱膨張係数よりも小さい。

【0014】(2)前記(1)のBGA半導体装置の最外周のはんだバンプが、封止樹脂の端面より外側にある。

【0015】(3)当該BGA半導体装置の反り量に応じて前記電極の前記はんだバンプとの接触面積の大きさを変えたものである。

【0016】(4)基板の半導体チップを搭載した面と反対側に複数のはんだバンプが設けられたBGA半導体装置が実装される、前記はんだバンプに対応した複数の電極を有する実装基板であって、前記実装基板の電極の前記はんだバンプとの接触面積は、前記BGA半導体装置を当該実装基板に搭載し、はんだをリフローした時に生じる前記はんだバンプと前記電極の間の隙間に応じた面積の大きさになっている。

【0017】(5)基板の半導体チップを搭載した面と反対側の面に複数のはんだバンプが設けられたボールグリッドアレイ半導体装置を実装基板に実装し、前記はんだをリフローした時に、前記ボールグリッドアレイ半導体装置の基板の中央部が前記半導体チップを搭載した面と反対側の面方向に凸に反らせて前記実装基板の電極と前記はんだバンプとを電気的に接続する実装方法であ

る。

【0018】

【作用】前記の(1)によれば、実装基板に実装し、はんだリフロー程度まで加熱した時の基板の熱膨張係数より小さい熱膨張係数の封止樹脂を使用することにより、基板の中央部を前記半導体チップを搭載した面と反対側の面方向に凸に反るので、パッケージの中央部に近いはんだバンプをすべて確実に接続することができ、かつ、実装基板とパッケージの接続点のはんだバンプの接続部は側面から観察することができる。

【0019】前記(2)によれば、前記BGA半導体装置の最外周のはんだバンプが、封止樹脂の端面より外側にあるので、実装基板とパッケージの接続点の接続部が側面からさらに容易に観察することができ、外観検査がより確実に行うことができる。これにより、パッケージの反りによるはんだバンプの接続不良が生じたとしても、それを直ちに発見することができる。

【0020】前記(3)によれば、前記BGA半導体装置のパッケージの反りに応じて基板上のはんだバンプ下の電極の面積を減らすことにより、電極上に形成されるはんだバンプの高さを減らすことができるので、パッケージの反りによるはんだバンプの接続不良を防止もしくは低減することができる。

【0021】前記(4)によれば、実装基板の電極のはんだバンプとの接触面積は、前記BGA半導体装置を当該実装基板に搭載し、前記はんだをリフローした時に、前記はんだバンプと前記電極の間に生じる隙間に応じた面積の大きさにすることにより、実装前と実装後のはんだバンプ高さを制御することができるので、パッケージの反りによるはんだバンプの接続不良を防止もしくは低減することができる。

【0022】前記の(1)及び(5)によれば、実装基板に実装した時、基板の中央部を前記半導体チップを搭載した面と反対側の面方向に凸に反らせることにより、パッケージのはんだバンプをすべて確実に接続することができ、かつ、実装基板とパッケージの接続点のはんだバンプの接続部は側面から観察することができる。これにより、簡単に外観検査ができ、かつ、パッケージの反りによるはんだバンプの接続不良を防止もしくは低減することができる。

【0023】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

【0024】なお、実施例を説明する全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0025】(実施例1)図1は、本発明のBGA半導体装置の実施例1の構成を示す断面図、図2は、本実施例のBGA半導体装置のはんだバンプの配列を示す平面図、図3は、本実施例のBGA半導体装置の各製造工程

における断面図、図4は、本実施例1のBGA半導体装置を実装する実装基板の電極の配列を示す平面図、図5は、本実施例1のBGA半導体装置を実装基板に実装する方法を説明するための図である。

【0026】図1乃至図5において、1はその表面及びその内部に回路配線を有する基板、2は基板の半導体チップを搭載する面、3は半導体チップ、4はAuワイヤ、5は封止樹脂、6は基板のはんだパンプを設ける面、7は基板上の電極、8ははんだパンプ、20は実装基板、22は実装基板上の電極である。また第14図において、11はリフロー時の温度における実装基板上の電極とはんだパンプとの間に生じるであろうところの隙間である。

【0027】本実施例1のBGA半導体装置は、図1に示すように、回路配線を有する基板1上に半導体チップ3が搭載され、この半導体チップ3の電極と前記回路配線とをAuワイヤ4で電気的に接続し、少なくとも前記半導体チップ3、Auワイヤ4及び電気的接続の部分が封止樹脂5で封止され、前記基板1の前記半導体チップ3が搭載された面2と反対側の面6に、図2に示すように、複数のほぼ均一の径のはんだパンプ8がアレイ状に配設されている。そして、前記BGA半導体装置の最外周のはんだパンプ8Aが、封止樹脂5の端面5Aより外側に配置されている。

【0028】前記基板1の材料としては、熱膨張係数 $\alpha = 17 \times 10^{-6}/^{\circ}\text{C}$ のガラスエポキシ（JIS“FR-4”）を使用する。また、前記封止樹脂5としては、レジンを用いるが、このレジンの熱膨張係数が、前記基板1の熱膨張係数よりも小さいものを使用する。基板1として熱膨張係数 $\alpha = 17 \times 10^{-6}/^{\circ}\text{C}$ のガラスエポキシを使用した場合、理想的なレジンの熱膨張係数 α は、 $17 \times 10^{-6}/^{\circ}\text{C}$ であるが、シリコン（Si）の半導体チップ3熱膨張係数の関係から、 $17 \times 10^{-6}/^{\circ}\text{C}$ 以下のレジンを使用する。好ましいレジンの熱膨張係数 α は、 $10 \times 10^{-6} \sim 14 \times 10^{-6}/^{\circ}\text{C}$ である。

【0029】また、前記本実施例1のBGA半導体装置の各部の寸法は、図1に示すように、基板1の底面から封止樹脂5の上表面までの高さ1.5mm、封止樹脂5の厚さ0.9mm、基板1の厚さ0.6mm、電極を含むはんだパンプ8の高さ0.6mmである。そして、例えば、はんだパンプ8は119個がピッチ1.27mmで 7×17 のアレイ状に配設されている。外形は1.4mm \times 2.2mmの長方形である。

【0030】次に、本実施例1のBGA半導体装置の製造方法を説明する。

【0031】まず、図3（A）に示すように、基板1上に半導体チップ3をエポキシペースト等で接着する。次に、図3（B）に示すように、基板1と半導体チップ3をAuワイヤ4で接続する。次いで、図3（C）に示すように、基板1の面2をトランスファー成型で樹脂封

止する。この時に、熱膨張係数が $17 \times 10^{-6}/^{\circ}\text{C}$ 以下の封止樹脂を使用する。例えば、熱膨張係数 α が $10 \times 10^{-6}/^{\circ}\text{C} \sim 14 \times 10^{-6}/^{\circ}\text{C}$ のレジンを使用することが好ましい。封止後、樹脂を硬化させるが、樹脂の硬化収縮によりBGA半導体装置は、図1に示すように、ほぼ水平もしくは少し湾曲している。樹脂の硬化収縮率は5%程度であるので、封止樹脂層の大きさが1.6mm \square （平方）の場合、一辺の収縮量は約2.5 μm である。最後に、図2（D）に示すように、はんだパンプ8を基板1上の電極7に転写後、はんだリフローが基板1を通してはんだパンプ8を形成し、BGA半導体装置が完成する。

【0032】図4は、本実施例1の実装基板を上面から見た平面図であり、20は実装基板、21は通常の直径の円形電極、22は直径を大きくした円形電極である。

【0033】前記実装基板20上に前記BGA半導体装置のパッケージ（以下、単にパッケージと称す）を格納する工程を図5に示す。まず、図5（A）に示すように、実装基板20上の電極21、22にフラックス23を塗布する。次に、図5（B）に示すように、半導体装置を位置決めして実装基板20上に搭載する。次いで、実装基板20とBGA半導体装置をはんだリフローが通し、はんだパンプ8をリフローさせると、はんだパンプ8と実装基板20上の電極21との接続は、まずBGA半導体装置の中央部から行われ、図5（C）に示すように最外周のパンプ8Aは最後に接続が行われる。最外周のはんだパンプ8Aと実装基板20上の電極21との間には、基板1の熱膨張係数と封止樹脂5の熱膨張係数の差によりパッケージ中央部が下に凸になり、約50 $\mu\text{m} \sim 60 \mu\text{m}$ （データによる）の隙間が生じるが、図5（C）に示すように、最外周のはんだパンプ8Aと実装基板20上の電極22との間が接続され、すべてのはんだパンプ8及び8Aが接続され実装が終了する。

【0034】すなわち、実装後、BGA半導体装置の中央部付近のパンプ高さは約430 μm になっており、実装前とのパンプ高さの差は、約70 μm である。これにより、実装前に最外周のはんだパンプ8Aと実装基板20上の電極21との間の隙間は吸収され、最外周のはんだパンプ8Aも実装基板1上の電極21と接触するため、はんだが電極21上に濡れ広がり接続が行われる。

【0035】また、前記実施例1においては、実装基板20上の電極21の直径を大きくしたが、実装基板20上の電極を同一の直径とし、BGA半導体装置のパッケージの電極を、図6に示すように、最外周付近のはんだパンプ8Aの電極31は、BGA半導体装置のパッケージの中央部付近のはんだパンプ8の電極32よりも、小さい直径にしても同様の作用効果を得ることができる。また、更に最外周付近のはんだパンプ8Aの電極31の直径を小さくすることによって電極31間の距離が大きくなる為、実装基板20上の配線34の引き回し自由度

が増す。

【0036】ここで、電極の面積とその上に形成されるはんだバンプの高さの関係について説明する。

【0037】電極の面積とはんだバンプ高さの関係は近々

$$H = \frac{D}{2} + \sqrt{\left(\frac{D}{2}\right)^2 - \left(\frac{d}{2}\right)^2} \quad D = \sqrt{\frac{4V}{3\pi}}$$

H: はんだバンプ高さ

V: はんだの体積

d: 電極の直径

【0039】例えば、はんだの体積 $V = 1.03 \text{ mm}^3$ とすると電極の直径 0.60 mm のときははんだバンプ高さは 0.61 mm となり、電極の直径 0.4 のときははんだバンプ高さは 0.7 mm となる。

【0040】このように、供給するはんだの量を一定にしたとしても電極の面積を変えることにより、はんだバンプ高さを変えることが可能となる。

【0041】図7乃至図10は、前記好ましいレジン熱膨張係数 α が $1.0 \times 10^{-5} \sim 1.4 \times 10^{-5} / ^\circ\text{C}$ におけるそれぞれのパッケージの反り量の実験結果を示したものであり、図7は熱膨張係数 α が $1.0 \times 10^{-5} / ^\circ\text{C}$ のレジンを使用した場合、図8は熱膨張係数 α が $1.2 \times 10^{-5} / ^\circ\text{C}$ のレジンを使用した場合、図9は熱膨張係数 α が $1.3 \times 10^{-5} / ^\circ\text{C}$ のレジンを使用した場合、図10は熱膨張係数 α が $1.4 \times 10^{-5} / ^\circ\text{C}$ のレジンを使用した場合である。ここで、パッケージの反り量とは、図11に示すように、基板1上の封止樹脂5を下側にして支持し、基板1の上面の端部を含む水平面を基準Sとし、この基準Sからの前記基板1の上面Hの高さである。そして、基板1の材料としては熱膨張係数 $\alpha = 1.7 \times 10^{-5} / ^\circ\text{C}$ のガラスエポキシ (JIS “FR-4”) を使用した。

【0042】図7乃至図10において、縦軸は基板1の端からの距離 (mm)、横軸は反り量 (μm) であり、△印は実装基板9に実装する時のリフロー温度 (170°C) の時のパッケージの反り量、□印はモールド完了の常温 (22°C) の時のパッケージの反り量、田印形の墨印は常温 (22°C) とリフロー温度 (170°C) との間の任意の温度 (90°C , 93°C , 86°C , 95°C) の時のパッケージの反り量である。この任意の温度はパッケージの反り量の傾向を見るための温度である。

【0043】前記図7乃至図10からわかるように、いずれも△印で示す実装基板9に実装する時のリフロー温度 (170°C) の時は、パッケージが反った状態となり下方方向に凸となる。特に、図1及び図2に示すように、□印で示すモールド完了の常温 (22°C) の時は、パッケージは平坦もしくは逆の下方方向に凸となり、本発明で希望する下方方向に凸の形状となっていないが、△印で示す実装基板9に実装する時のリフロー温度 (170°C) の時は、パッケージの中央部が反った状態となり、実装基板9の実装面に対して下方方向に凸の反りが生じることがわかる。

【0044】以上の説明からわかるように、実施例1によれば、実装時の加熱による封止樹脂5の膨張が基板1

* 似的に次式で表せる。

【0038】

【数1】

の膨張より小さくすることにより、前記パッケージの基板1の外周部が中央部に対して前記半導体チップ3を搭載した面2側方向に反って、パッケージが実装基板9の実装面に対して下に凸の反りを生じるので、BGA半導体装置のパッケージの反りは下に凸の状態に保たれる。この時、はんだバンプ8と実装基板9上の電極10との接続は、前記パッケージの中央部から行われ、最外周のはんだバンプ8は最後に接続が行われる。そのため、最外周のバンプの接続の外観検査を行い、その最外周のすべてのはんだバンプ8Aが接続されていれば、その内側のはんだバンプ8も接続されていると判断できる。

【0045】また、前記パッケージの最外周のはんだバンプ8が、封止樹脂5の端面5Aより外側にあるので、実装基板9とパッケージの接続部の接続部を周囲から観察できるので、パッケージの反りによるはんだバンプの接続不良が生じたとしても、それを直ちに発見することができる。

【0046】(実施例2) 図12は、本発明のBGA半導体装置の実装基板の実施例2の構成を示す平面図、図13は本実施例2の実装基板上にBGA半導体装置を実装した状態を示す断面図である。

【0047】本実施例2のBGA半導体装置の実装基板は、前記実装基板上の電極の接触面積を、前記BGA半導体装置を当該実装基板に搭載し、はんだリフロー時の熱による基板1の反りによって前記はんだバンプと前記電極の間に生じる隙間に応じた面積の大きさにしたものである。

【0048】例えば、図1に示すように、前記封止樹脂5の熱膨張係数が、前記基板1の熱膨張係数よりも小さいという条件がないと、基板1の半導体チップ3を搭載した面2と反対側の面6に複数のはんだバンプ8が設けられたBGA半導体装置を実装基板9に実装した時、前記BGA半導体装置の基板1の中央部が前記半導体チップ3を搭載した面2方向に凸に反った場合 (前記実施例1と反対方向に反った場合) が生じる。この場合においても、前記実装基板9上の電極と前記はんだバンプ8とを確実に電気的に接続するためには、図13に示すように、パッケージの基板1の中央部に生じる前記はんだバンプ8と電極32との間の隙間33に対応する高さ分だけはんだバンプ8を高くしなければならない。その反面、パッケージの基板1の周辺部付近のはんだバンプ8Aは下に押し付けられて高さが低くなる。そこで、本実施例2の実装基板9上の電極は、図12に示すように、前記実

装基板9上の電極のうちパッケージの基板1の中央部付近のはんだパンプ8に対応する部分の電極32の面積を周辺部付近の電極31よりも小さくしてある。

【0049】このようにすることにより、はんだリフロー後、冷却されて封止樹脂5が収縮し、半導体装置の反りが再び大きくなり、中央部付近のはんだパンプ8Aは、上方に大きく引き伸ばされるが、前記のように実装基板30上の電極91の直径を小さくしてあることにより、はんだパンプ8Aのはんだが実装基板30上の電極31と基板1上の電極7との間で引き伸ばされても、はんだが不足することがないため切断されず、電気的に確実に接続される。

【0050】本実施例2では、前記実装基板9上の電極のうちパッケージの基板1の中央部のはんだパンプ8に対応する部分の電極31の面積を小さくしたが、反対に前記実装基板9上の電極のうちパッケージの基板1の周辺部付近のはんだパンプ8Aに対応する部分の電極32の面積を中央部付近の電極よりも大きくしても同様の作用効果が得られる。

【0051】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0052】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0053】(1) BGA半導体装置を実装基板に実装する時、そのパッケージの反りに起因するパッケージ中央部付近のパンプの接続不良を防止もしくは低減することができる。

【0054】(2) BGA半導体装置を実装基板に実装する時、そのパッケージの最外周のパンプの外観検査のみで接続の判定ができ、実装の外観検査を容易にすることができる。

【0055】(3) BGA半導体装置を実装基板に実装する時、BGA半導体装置のパッケージが反っていても、電気的接続不良がなく確実に実装することが容易にでき、かつ、歩留を向上することができる。

【図面の簡単な説明】

【図1】本発明のBGA半導体装置の実施例1の構成を

示す断面図である。

【図2】本実施例1のBGA半導体装置のはんだパンプの配列を示す平面図である。

【図3】本実施例1のBGA半導体装置の各製造工程における断面図である。

【図4】本実施例1のBGA半導体装置を実装する実装基板の電極の配列を示す平面図である。

【図5】本実施例1のBGA半導体装置を実装基板に実装する方法を説明するための図である。

【図6】本実施例1のBGA半導体装置の電極の変形例を示す平面図である。

【図7】本実施例1の熱膨張係数 α が 10×10^{-6} のレジンを使用した場合の反り量の実験結果を示す図である。

【図8】本実施例1の熱膨張係数 α が 12×10^{-6} のレジンを使用した場合の反り量の実験結果を示す図である。

【図9】本実施例1の熱膨張係数 α が 13×10^{-6} のレジンを使用した場合の反り量の実験結果を示す図である。

【図10】本実施例1の熱膨張係数 α が 14×10^{-6} のレジンを使用した場合の反り量の実験結果を示す図である。

【図11】本実施例1のパッケージの反り量の実験を説明するための図である。

【図12】本発明の実施例2の実装基板を上面から見た平面図である。

【図13】本実施例2のPGA半導体装置を実装基板に搭載した状態を示す断面図である。

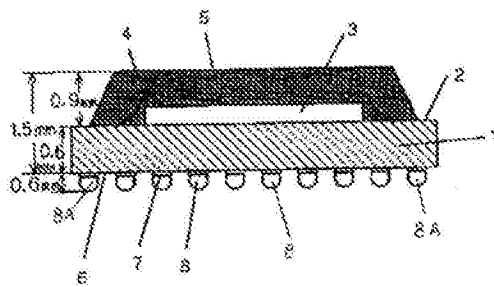
【図14】従来のBGA装置の問題点を説明するための実装基板上に実装した側面図である。

【符号の説明】

1…回路配線を有する基板、2…基板の半導体チップを搭載する面、3…半導体チップ、4…Auワイヤ、5…封止樹脂、6…基板のはんだパンプを設ける面、7…基板上の電極、8、8A…はんだパンプ、9…実装基板、10…実装基板上の電極、11…実装基板上の電極とはんだパンプとの隙間、20…実装基板、21…通常の直径の円形電極、22…直径を大きくした円形電極、30…実装基板、31…パンプ8Aに対応する電極、32…パンプ8に対応する電極、33…実装基板上の電極とはんだパンプとの隙間。

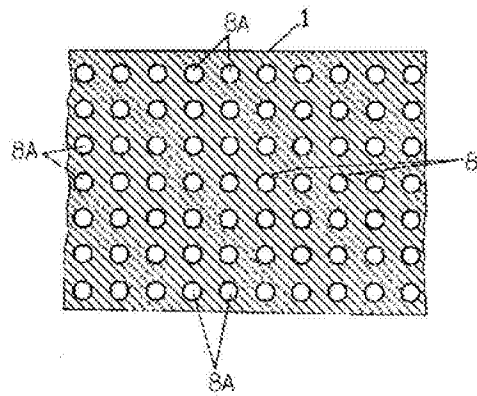
【図1】

図1



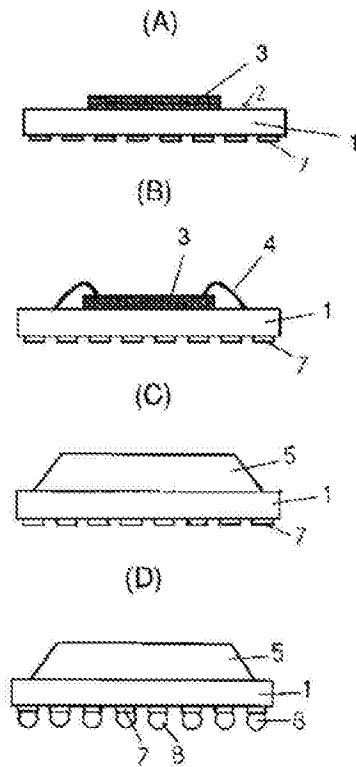
【図2】

図2



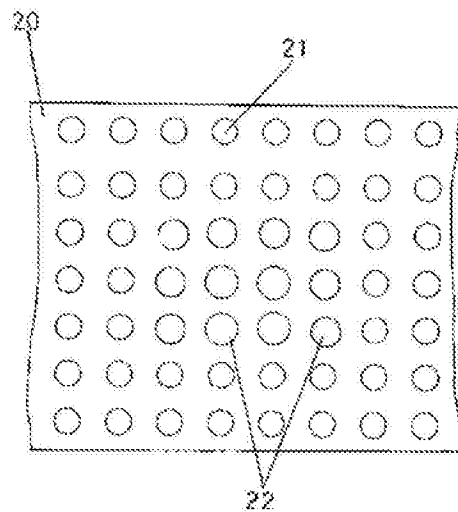
【図3】

図3



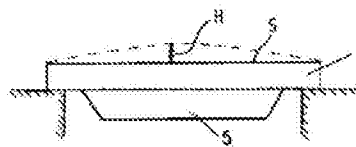
【図4】

図4



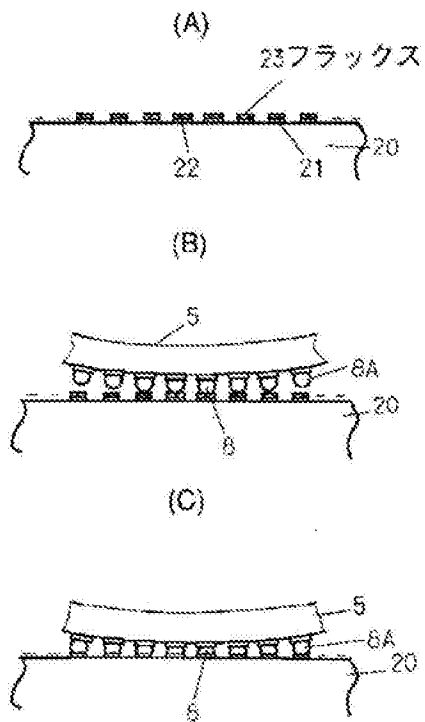
【図11】

図11



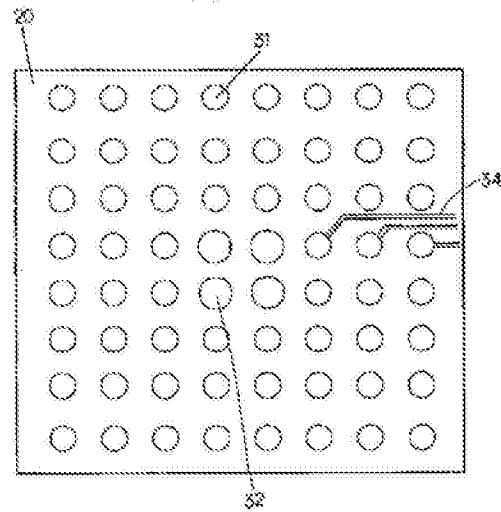
【図5】

図5



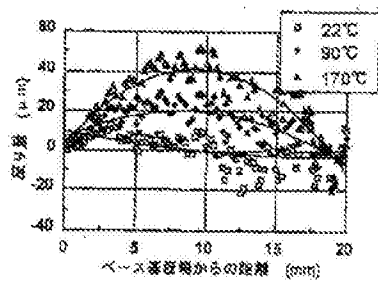
【図6】

図6



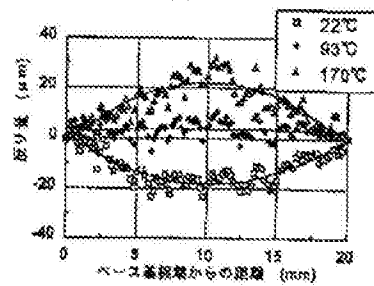
【図7】

図7



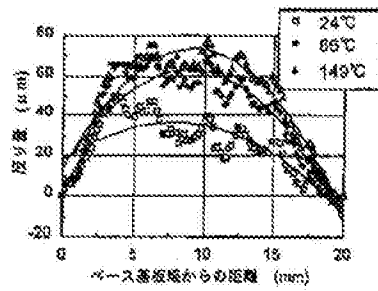
【図8】

図8



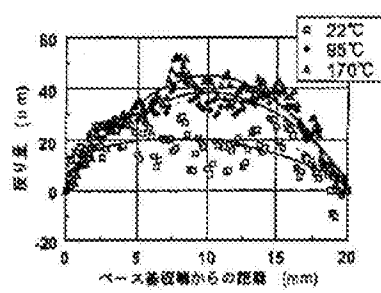
【図9】

図 9



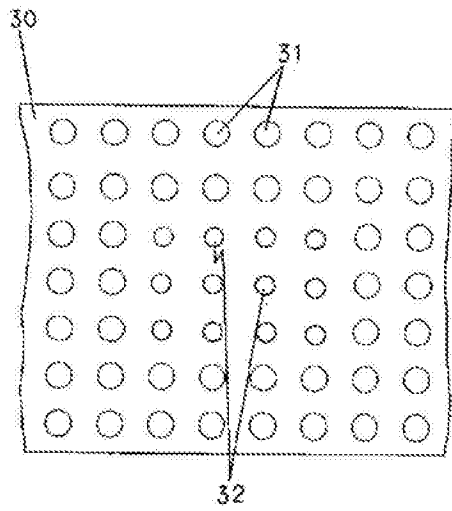
【図10】

図 10



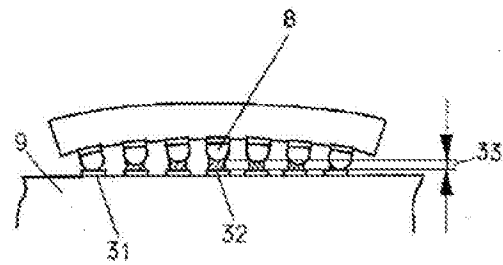
【図12】

図 12



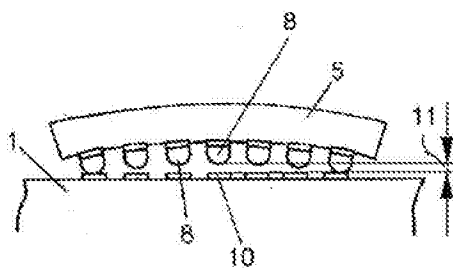
【図13】

図 13



【図14】

図 14



フロントページの続き

(72)発明者 河合 未男

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 坪崎 邦宏

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 西 邦彦

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 大塚 憲一

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-193162

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H01L 23/12

H01L 23/50

(21)Application number : 05-330641

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.12.1993

(72)Inventor : SUMIYA AKIRO

ANJO ICHIRO

ARITA JUNICHI

KAWAI SUEO

TSUBOSAKI KUNIHIRO

NISHI KUNIIKO

OTSUKA KENICHI

(54) BALL-GRID ARRAY SEMICONDUCTOR DEVICE AND MOUNTING SUBSTRATE THEREOF

(57)Abstract:

PURPOSE: To provide a BGA semiconductor device, which does not have defective electric connections even if a package is warped, a mounting substrate for the BGA semiconductor device and the mounting method thereof.

CONSTITUTION: A semiconductor chip 3 is mounted on a substrate 1 having the circuit wiring. The electrodes of the semiconductor chip 3 and the circuit wirings are electrically connected. At least the semiconductor chip and the electric connecting part are sealed with resin 5. A plurality of solder bumps 8 are provided at the face on the opposite side of the face of the substrate 1, on which the semiconductor chip 3 is mounted. In this BGA semiconductor device, the central part of the substrate 1 is warped in the direction of the face 6 on the opposite side with respect to the face 2, on which the semiconductor chip 3 is mounted, in the protruding shape.

